

# **Praktikum Digitaltechnik**

Gruppe 4.4.1

Hornung, Jörg  
Karg, Michael  
Uhl, Michael

Versuch:

Aufgabe 1

Versuchsdatum:

31. März 2003 / 03. April 2003

Abgabedatum:

15. Mai 2003

Betreuer:

Prof. Rinner

### Aufgabe 1.5: Messung an Standard Logik Bausteinen in CMOS - Technologie (74HC10 / 3-fach NAND / HPS – Koffer ohne roten Punkt)

#### a) Statistisches Überprüfen der logischen Funktionen des Baustein

Versuchsaufbau:

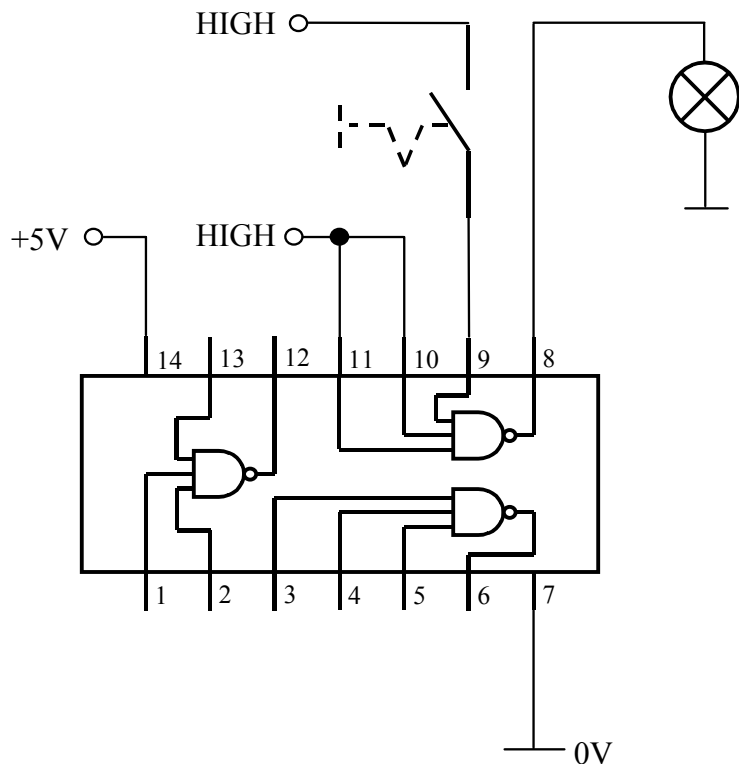


Abbildung 1

Ein Eingang des zu testenden NAND wird über einen Schalter auf HIGH-Pegel gelegt. Die beiden anderen Eingänge werden direkt an den HIGH-Pegel angeschlossen. Bei Betätigung des Schalters, muss die Leuchtdiode erlöschen. So können nacheinander sämtliche Eingänge auf ihrer Funktionalität überprüft werden.

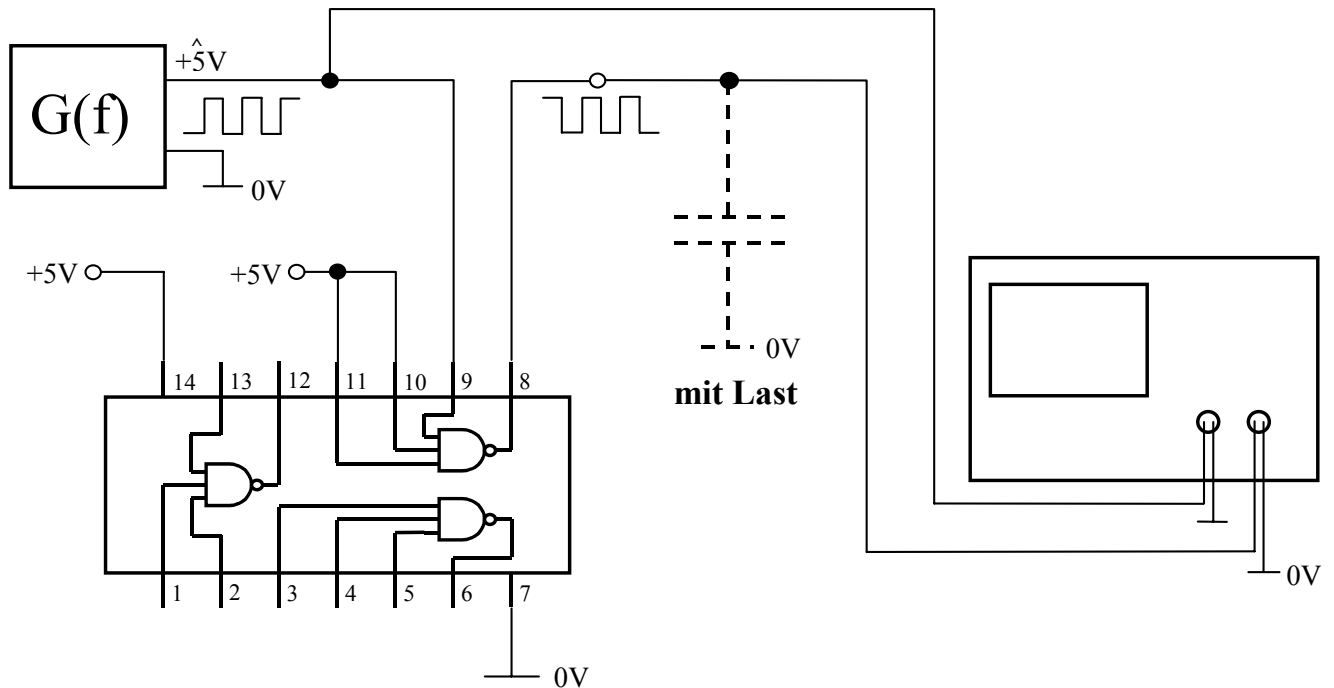
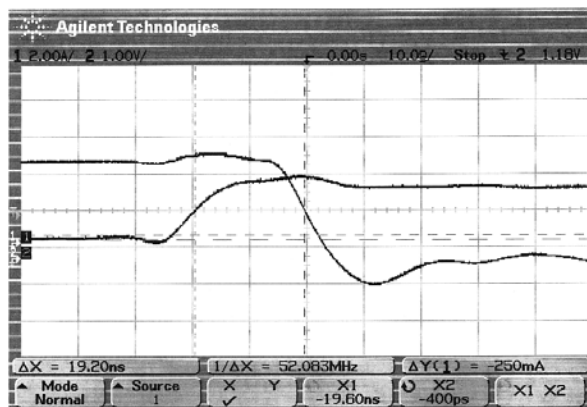
**b) Aufnahme der Signallaufzeit von einem Eingang zum Ausgang**Versuchsaufbau:

Abbildung 2

Messung:*a) Messung der Signallaufzeit  $t_{\text{delay } 0 \rightarrow 1}$  im Leerlauf*

Agilent 54622D System A.02.01 31 Mar 2003 15:51:18



Anlg Ch	State	Units/Div	Position	Coupling	BW Limit	Invert
Ch 1:	On	2.00V/	1.75A	DC	Off	Off
Ch 2:	On	1.00V/	1.312V	DC	Off	Off

Anlg Ch	Impedance	Probe
Ch 1:	1M Ohm	: 1
Ch 2:	1M Ohm	: 1

Trigger Mode	Coupling	Noise Rej	HF Reject	Holdoff
Edge	Auto	DC	Off	60ns

Trigger Source	Slope	Level
Ch 2	Falling	+1.18V

Time	Time Ref	Main S/div	Delay
Main	Center	10.0ns/	0.00s

Acquisition	Realtime	Vectors	Infinite Persistence
Normal	Off	On	Off

Abbildung 3

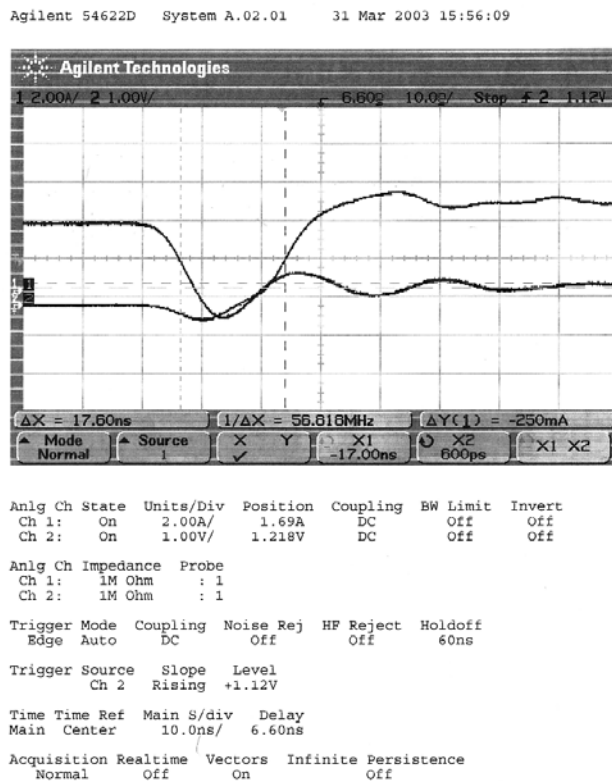
**$\beta$ ) Messung der Signallaufzeit  $t_{\text{delay } 1 \rightarrow 0}$  im Leerlauf**

Abbildung 4

 **$\gamma$ ) /  $\delta$ ) Messung der Signallaufzeit unter Last**

Messungen wurden nicht durchgeführt

**Ergebnis:**

Die Signallaufzeit  $t_{\text{delay } 0 \rightarrow 1}$  betrug bei unserer Messung 19,2 ns.

Die Signallaufzeit  $t_{\text{delay } 1 \rightarrow 0}$  betrug 17,6 ns.

Man kann also beobachten, dass die Signallaufzeit beim Übergang von 1 nach 0 größer ist als die Laufzeit von 1 nach 0.

Des weiteren steigt die Laufzeit unter steigender Belastung ebenfalls an.

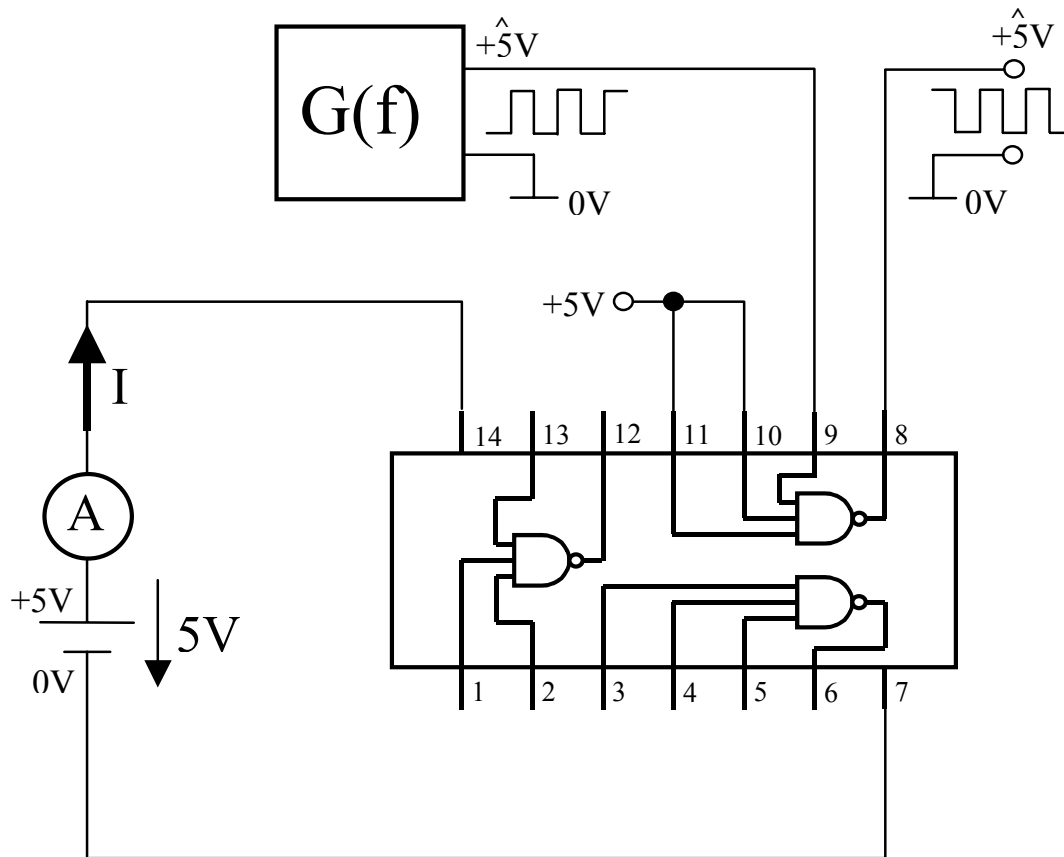
**c) Bestimmung der Stromaufnahme**Versuchsaufbau:

Abbildung 5

Messung:

f in kHz	1	100	1000
I in $\mu\text{A}$	0,06	5,06	53,1

Ergebniss:

Mit zunehmender Frequenz des Eingangssignals, wächst der Aufnahmestrom des Logik-Bausteins.

Bei unbeschalteten bzw. nicht definierten Zustand der unbenutzten Eingänge kann es zu unerwünschten Einflüssen von Störgrößen kommen, die den Stromverbrauch weiter erhöhen. (Durch elektromagnetische. Wellen, etc., kann sich der Gateanschluss soweit aufladen, dass der Drain-Sourcekanal leitend wird und somit ein Verbraucherstrom fließen kann.)

### Aufgabe 1.6: Zusammenschalten einfacher Gatter (TTL – Gatter des HPS Koffers)

#### a) Realisierung eines Inverters mit 4-fach NAND / NOR

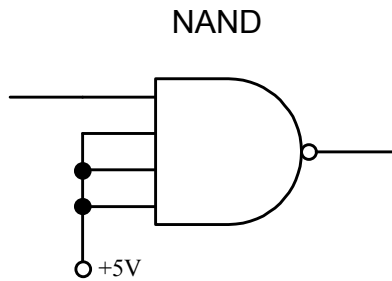


Abbildung 6

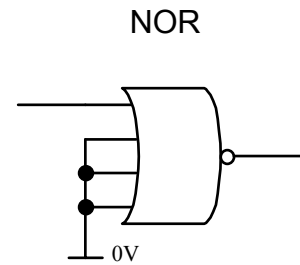


Abbildung 7

#### b) Realisierung eines 4-fach NAND mit 2-fach NOR Gattern

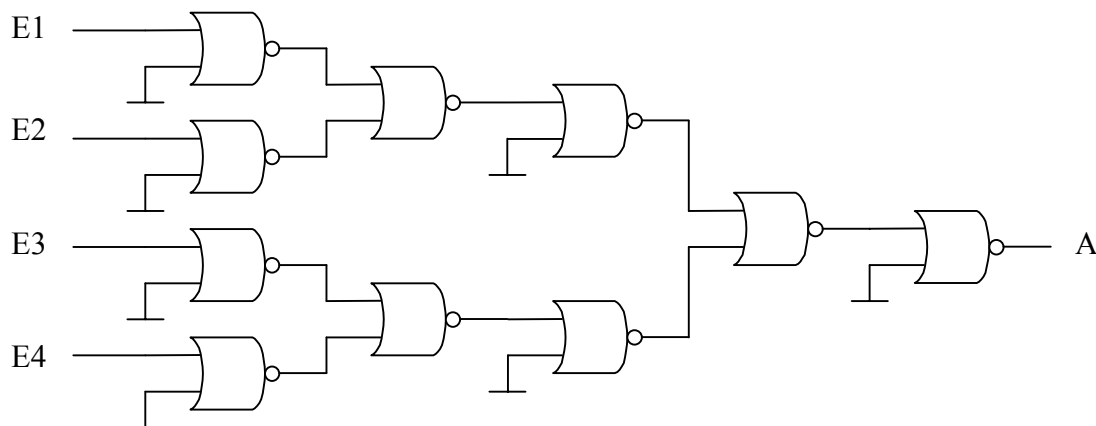


Abbildung 8

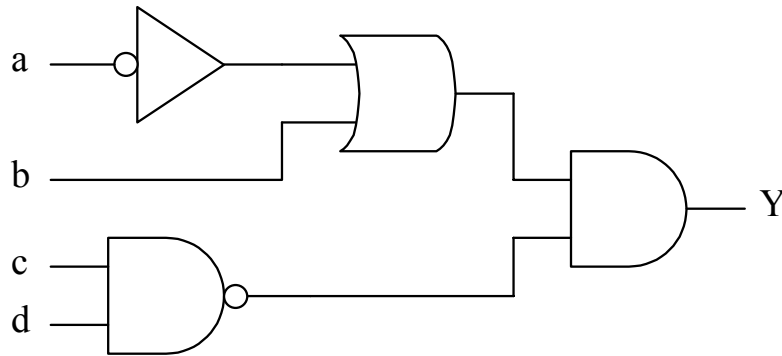
**c) Realisierung der Funktion  $Y = (\neg a + b) * \neg(c * d)$** Ursprüngliche Schaltung:

Abbildung 9

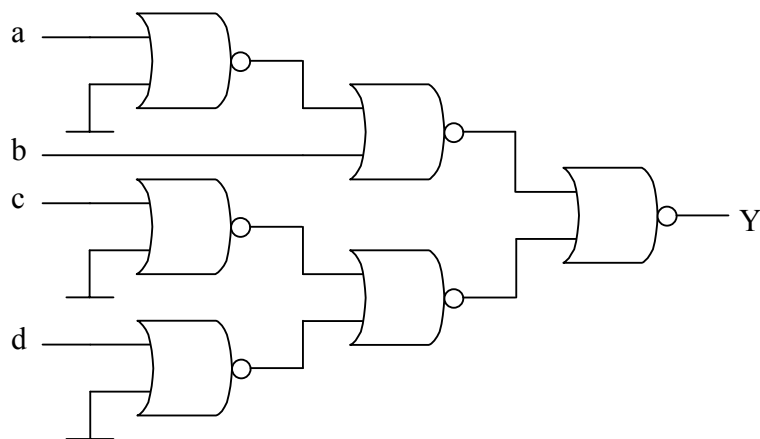
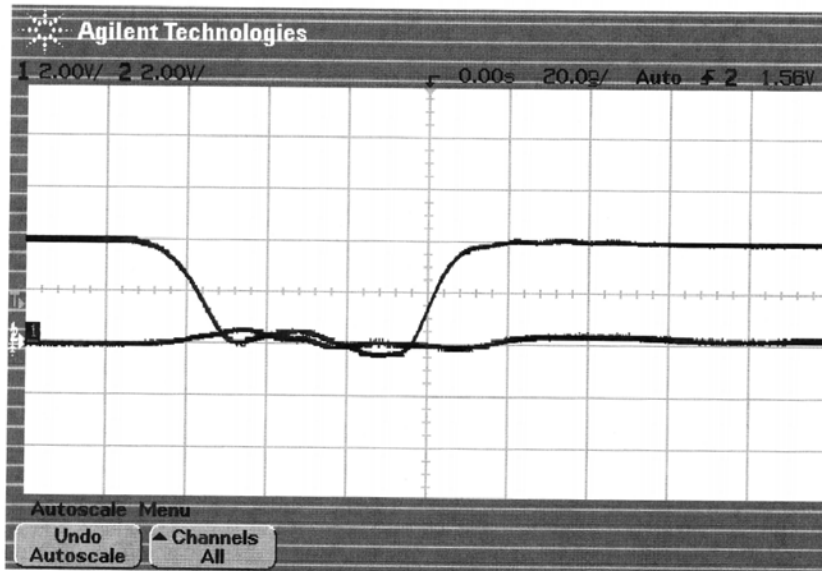
Modifizierte Schaltung mit 2-fach NORs:

Abbildung 10

**Messung der Signallaufzeiten:****Ursprüngliche Schaltung:**

Agilent 54622D System A.02.01 03 Apr 2003 15:32:20



Anlg	Ch	State	Units/Div	Position	Coupling	BW Limit	Invert
	Ch 1:	On	2.00V/	1.94V	DC	Off	Off
	Ch 2:	On	2.00V/	2.13V	DC	Off	Off

Anlg	Ch	Impedance	Probe
	Ch 1:	1M Ohm	: 1
	Ch 2:	1M Ohm	: 1

Trigger	Mode	Coupling	Noise Rej	HF Reject	Holdoff
Edge	Auto Level	DC	Off	Off	60ns

Trigger Source	Slope	Level
Ch 2	Rising	+1.56V

Time	Time Ref	Main S/div	Delay
Main	Center	20.0ns/	0.00s

Acquisition	Realtime	Vectors	Infinite Persistence
Normal	Off	On	Off

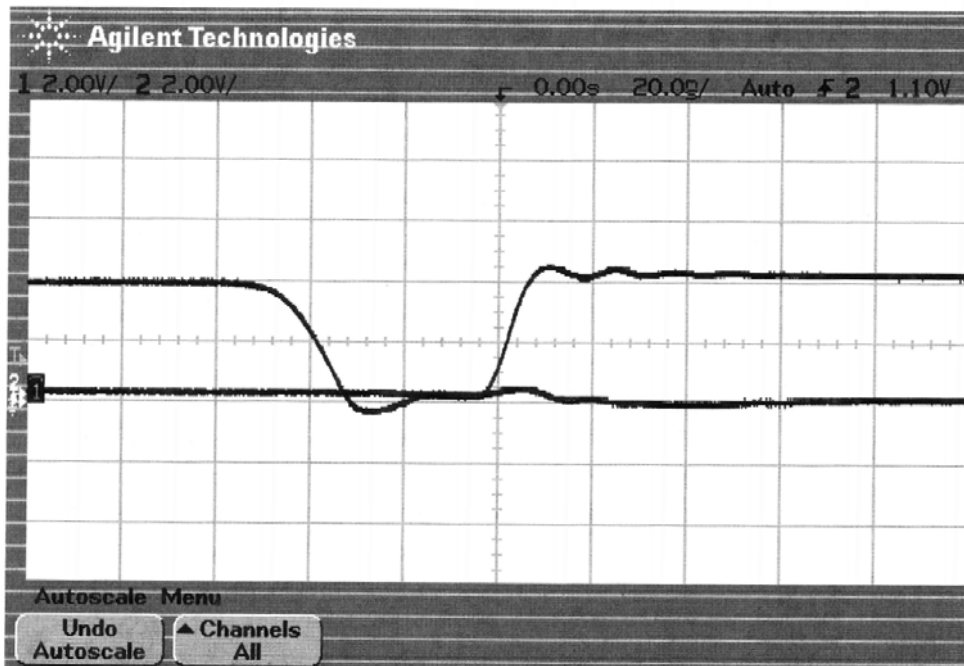
Abbildung 11

Die Signallaufzeit bei dieser (ursprünglichen) Schaltungsart betrug 60 ns.



Modifizierte Schaltung mit 2-fach NORs:

Agilent 54622D System A.02.01 03 Apr 2003 15:29:57



Anlg	Ch	State	Units/Div	Position	Coupling	BW Limit	Invert
Ch 1:	On		2.00V/	2.06V	DC	Off	Off
Ch 2:	On		2.00V/	1.81V	DC	Off	Off

Anlg	Ch	Impedance	Probe
Ch 1:	1M Ohm	:	1
Ch 2:	1M Ohm	:	1

Trigger	Mode	Coupling	Noise Rej	HF Reject	Holdoff
Edge	Auto Level	DC	Off	Off	60ns

Trigger	Source	Slope	Level
	Ch 2	Rising	+1.10V

Time	Time Ref	Main S/div	Delay
Main	Center	20.0ns/	0.00s

Acquisition	Realtime	Vectors	Infinite Persistence
Normal	Off	On	Off

Abbildung 12

Die Signallaufzeit dieser Schaltung betrug 40 ns.

Ergebnis:

Die Schaltung mit NORs ist schneller, als die ursprünglich gegebene Schaltung.